

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

AP

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

011613059 **Image available**

WPI Acc No: 1998-030187/199803

XRPX Acc No: N98-024427

Semiconductor thin film for TFT of electronic device such as IC, LCD - in which concave or convex patterns are formed selectively in insulating film, which touches undersurface of semiconductor thin film

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY KENKYUSHO KK (SEME)

Inventor: FUKUNAGA T; KOYAMA J; MIYANAGA A; YAMAZAKI S; KOMAYA J

Number of Countries: 005 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9289168	A	19971104	JP 96336341	A	19961202	199803 B
TW 317643	A	19971011	TW 97101853	A	19970217	199807
KR 97063763	A	19970912	KR 975540	A	19970224	199840
US 6093937	A	20000725	US 97802276	A	19970219	200038
CN 1169026	A	19971231	CN 97109936	A	19970223	200168
US 6323072	B1	20011127	US 97802276	A	19970219	200175
			US 2000571500	A	20000515	
US 20020053672	A1	20020509	US 97802276	A	19970219	200235
			US 2000571500	A	20000515	
			US 2001995549	A	20011127	

Priority Applications (No Type Date): JP 9661898 A 19960223; JP 9661897 A 19960223

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9289168	A		27	H01L-021/20	
TW 317643	A			H01L-021/00	
KR 97063763	A			H01L-027/12	
US 6093937	A			H01L-021/20	
CN 1169026	A			H01L-021/00	
US 6323072	B1			H01L-021/00	Div ex application US 97802276 Div ex patent US 6093937
US 20020053672	A1			H01L-029/76	Div ex application US 97802276 Cont of application US 2000571500

Abstract (Basic): JP 9289168 A

The semiconductor thin film structure includes a semiconductor thin film formed on a base through an insulating film.

The concave or convex patterns (103) are formed in the insulating film, selectively which touches the undersurface of the semiconductor thin film.

ADVANTAGE - Enables to control crystal grain size. Dwg.1/20

Title Terms: SEMICONDUCTOR; THIN; FILM; TFT; ELECTRONIC; DEVICE; IC; LCD; CONCAVE; CONVEX; PATTERN; FORMING; SELECT; INSULATE; FILM; TOUCH; UNDERSURFACE; SEMICONDUCTOR; THIN; FILM

Derwent Class: U11; U14

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-027/12; H01L-029/76

International Patent Class (Additional): H01L-021/02; H01L-021/205;
H01L-021/324; H01L-021/336; H01L-021/84; H01L-029/786; H01L-031/112;
H01L-031/36
File Segment: EPI

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶

H01L 27/12

(11) 공개번호 특 1997-0063763

(43) 공개일자 1997년 09월 12일

(21) 출원번호 특 1997-0005540

(22) 출원일자 1997년 02월 24일

(30) 우선권주장 96-61897 1996년 02월 23일 일본(JP)

96-61898 1996년 02월 23일 일본(JP)

(71) 출원인 가부시키가이샤 한도 오따이 에네루기 켄큐쇼 야마자끼 순페이

일본국 가나가와켄 마쓰기시 하세 398

(72) 발명자 야마자끼 순페이

일본국 157 도쿄 세타가야쿠 세이조 4-10-20

고야마 준

일본국 229 가나가와켄 사가미하라시 니시 하시모토 1-4-23

미야나가 아키히루

일본국 257 가나가와켄 하다노시 미나미가오카 23-4-1, 2-505

후쿠나가 타케시

일본국 243 가나가와켄 마쓰기시 하세 304-1 플랫 셀-에이 105

(74) 대리인 황익만

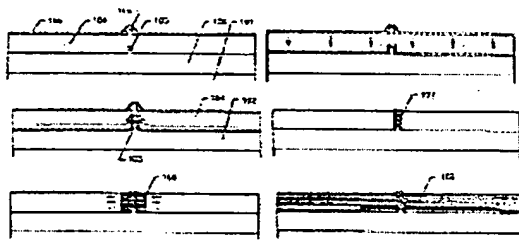
심사청구 : 없음

(54) 반도체 박막, 반도체 장치 및 이의 제조 방법

요약

반도체 장치는 그 표면에 절연막을 가진 기판 및 표면 기판 상에 있는 반도체 박막으로 만든 활성층을 포함한다. 이 박막은 내부에 결정 경계를 포함하지 않고 기판 표면에 평행한 다층 칼럼형 및/또는 침상형 결정으로 구성된 모노도메인 영역을 함유한다. 절연막은 활성층 아래에 있으며 프로파일에서 소정 패턴의 특정 표면 형상을 가진다. 활성층을 제조하기 위해서, 기판 상에 스퍼터링함으로써 실리콘 산화막을 형성한다. 실리콘 산화막을 패터닝하여 표면 형상을 제공한다. 저압 CVD로써 비정질 실리콘 막을 실리콘 산화막 상에 형성한다. 실리콘 산화막 및/또는 비정질 실리콘 막내에 결정화의 가속화를 위해서 금속 원소를 함유하게 한다. 제1열처리를 실시하여 비정질 실리콘 막을 결정성 실리콘 막으로 전환한다. 다음, 제2열처리를 할로겐 분위기에서 실시하여 결정성 실리콘 막상에 할로겐을 함유하는 열산화막을 형성하고 이럼으로써 결정성 실리콘 막이 모노도메인 영역으로 전환하게 된다.

도면



발명자

[발명의 명칭]

반도체 박막, 반도체 장치 및 이의 제조 방법

[도면의 간단한 설명]

제1a도 내지 제1f도는 본 발명의 한 바람직한 구체예에 따라서, 모노도메인 영역을 가지는 반도체 박막을 형성하는 데 있어서 주요한 단계를 도식적인 단면도로 설명한 것이다.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(5) 청구의 범위

청구항 1. 기판 상에 형성된 절연막 상의 반도체 박막에 있어서, 상기 박막은; 상기 기판과 거의 동일한 복수개의 칼럼형 또는 침상 결정을 포함하는 모노도메인 영역을 포함하며, 상기 절연막은 상기 박막 아래에 있고 돌출부 또는 침하부의 패턴을 가지는 것을 특징으로 하는 반도체 박막.

청구항 2. 제1항에 있어서, 상기 모노도메인 영역은 거의 결정 입자 경계를 포함하지 않는 것을 특징으로 하는 반도체 박막.

청구항 3. 기판 상에 형성된 절연막 상에 있는 반도체 박막에 있어서, 상기 반도체 박막은; 상기 기판의 표면에 거의 평행한 복수개의 칼럼형 또는 침상형 결정을 포함하며, 내부에 입자 경계를 거의 가지지 않는 모노도메인 영역을 포함하고, 상기 절연막은 상기 박막 아래에 있고 돌출부 또는 침하부의 패턴을 가지는 것을 특징으로 하는 반도체 박막.

청구항 4. 스퍼터링 기술로 유전 표면을 가지는 기판에 실리콘 산화막을 형성하는 단계; 상기 실리콘 산화막을 패터닝하여 그 위에 표면 형상을 제공하는 단계; 저압 화학 증착으로 비정질 실리콘 막을 상기 실리콘 산화막에 형성하는 단계; 상기 실리콘 산화막 및 상기 비정질 실리콘 막중 적어도 하나에 결정화를 용이하게 하기 위한 금속 원소를 보지시키는 단계; 제1열처리를 실시하여 상기 비정질 실리콘 막을 결정성 실리콘 막으로 전환시키는 단계; 할로겐을 함유하는 분위기에서 제2열처리를 실시함으로써 상기 결정성 실리콘 막을 모노도메인 영역으로 상태 전환하면서 동시에 상기 결정성 실리콘 막 상에 할로겐을 포함하는 열산화막을 형성하는 단계; 및 상기 열 산화막을 제거하는 단계를 포함하는 제조 방법에 의해 형성된 반도체 박막.

청구항 5. 기판 상에 형성된 절연막 상의 반도체 박막에 있어서, 상기 반도체 박막은 : 상기 기판의 표면에 거의 평행한 복수개의 칼럼형 또는 침상형 결정을 포함하며 내부에 입자 경계를 거의 가지지 않는 모노도메인 영역을 포함하며, 및 상기 절연막은 상기 박막 아래에 있고 돌출부 또는 침하부의 패턴을 가지며, 상기 모노도메인 부는 수소 또는 염소, 황소 및 불소로 구성되는 군으로부터 선택되는 할로겐을 5at% 이하로 함유하는 것을 특징으로 하는 반도체 박막.

청구항 6. 제5항에 있어서 상기 할로겐은 상기 반도체 박막의 표면 근처에서 농도가 높은 것을 특징으로 하는 반도체 박막.

청구항 7. 제1항 내지 5항 중 어느 한 항에 있어서, 상기 모노도메인 영역은 15 내지 45nm의 두께를 가지는 것을 특징으로 하는 반도체 박막.

청구항 8. 제1항 내지 5항에 있어서, 상기 수소는 상기 모노도메인 영역을 구성하는 상기 반도체 박막에 입방 센티미터 당 1×10^{16} 내지 1×10^{17} 원자로 포함되는 것을 특징으로 하는 반도체 박막.

청구항 9. 제1항 내지 5항 중 어느 한 항에 있어서, 상기 모노도메인 영역은 상기 표면 형상 상에 수직 결정 성장 영역 및 실리콘 막 표면에 거의 평행하게 성장한 결정의 측방 결정 성장부를 가지는 바, 상기 수직 결정 성장 영역은 돌출물질로 작용하고, 상기 수직 결정 성장 영역은 상기 측방 결정 성장 영역보다 금속 원소 함량이 더 큰 것을 특징으로 하는 반도체 박막.

청구항 10. 스퍼터링 기술로 기판상에 실리콘 산화막을 형성하는 단계; 상기 실리콘 산화막을 패터닝하여 그 위에 돌출부 또는 침하부의 패턴을 제공하는 단계; 저압 화학 증착으로 비정질 실리콘 막을 상기 실리콘 산화막상에 형성하는 단계; 상기 실리콘 산화막 및 상기 비정질 실리콘 막중 적어도 하나에 결정화를 용이하게 하기 위한 금속 원소를 보지시키는 단계; 제1열처리를 실시하여 상기 비정질 실리콘 막을 결정성 실리콘 막으로 전환시키는 단계; 할로겐을 함유하는 분위기에서 제2열처리를 실시함으로써 제2열처리로 인하여 상기 결정성 실리콘 막을 모노도메인 영역으로 상태 전환하면서 상기 결정성 실리콘 막 상에 할로겐을 포함하는 열산화막을 형성하는 단계; 및 상기 열 산화막을 제거하는 단계를 포함하는 반도체 박막 형성 방법.

청구항 11. 제10항에 있어서, 결정화를 용이하게 하기 위하여 금속 원소를 보지하는 단계 중에, 상기 금속 원소는 표면 장력으로 상기 돌출부 또는 침하부의 주변에 증가된 농도로 모이게 되는 것을 특징으로 하는 방법.

청구항 12. 제10항에 있어서, 상기 제1열 처리로 형성된 결정성 실리콘 막은 상기 기판에 평행한 복수개의 칼럼 또는 침상형 결정을 포함하는 것을 특징으로 하는 방법.

청구항 13. 제10항에 있어서, 상기 실리콘 산화막을 형성하는 단계는 인공 수정을 타겟으로 사용하면서 스퍼터링으로 실행하는 것을 특징으로 하는 방법.

청구항 14. 제10항에 있어서, 상기 결정화를 용이하게 하는 금속 원소는 철(Fe), 코발트(Co), 니켈(Ni), 루테튬(Ru), 로튬(Ru), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 구리(Cu) 및 금(Au)으로 구성되는 군으로부터 적어도 하나 선택되는 것을 특징으로 하는 방법.

청구항 15. 제10항에 있어서, 할로겐을 포함하는 분위기는 HCl, HF, HBr, Cl₂, NF₃, F₂ 및 Br₂로 구성되는 군으로부터 선택되는 가스가 하나 또는 복수개 첨가된 산소 가스인 것을 특징으로 하는 방법.

청구항 16. 제10항에 있어서, 상기 제1열처리는 500 내지 700°C에서 시행하고 상기 제2열처리는 700 내지 1100°C에서 시행하는 것을 특징으로 하는 방법.

청구항 17. 표면 상에 절연막을 가지는 기판; 상기 기판의 표면 상에 있는 반도체 박막의 활성층을 포함하며, 상기 박막은 내부에 기판 표면에 거의 평행한 칼럼형 또는 침상형 결정을 복수개 함유하는 모노도메인 영역을 가지며, 상기 절연 막은 상기 활성층 아래에 있고 돌출부 또는 침하부 패턴을 가지는 것을

특징으로 하는 반도체 장치.

청구항 18. 제17항에 있어서, 상기 활성층은 어떠한 결정 입자 경계도 거의 내포하지 않는 것을 특징으로 하는 반도체 장치.

청구항 19. 표면 상에 절연막을 가지는 기판; 상기 기판의 표면 상에 있는 반도체 박막의 활성층을 포함하며, 상기 박막은 내부에 기판 표면에 거의 평행한 칼럼형 또는 침상형 결정을 복수개 함유하는 모노도메인 영역을 가지며, 상기 절연 막은 상기 활성층 아래에 있고 돌출부 또는 침하부 패턴을 가지며, 상기 모노도메인 영역은 입자 결정을 거의 가지지 않는 것을 특징으로 하는 반도체 장치.

청구항 20. 모노도메인 영역으로 거의 구성되는 활성층을 가지는 반도체 장치에 있어서, 상기 반도체 장치는 스퍼터링 기술로 표면에 절연막을 가지는 기판 상에 실리콘 산화막을 형성하는 단계; 상기 실리콘 산화막을 패터닝하여 그 위에 표면 형상의 소망하는 프로필을 제공하는 단계; 저압 화학 증착으로 비정질 실리콘 막을 상기 실리콘 산화막 상에 형성하는 단계; 상기 실리콘 산화막 및 상기 비정질 실리콘 막중 적어도 하나에 결정화를 가속화시키기 위한 금속 원소를 보지시키는 단계; 제1열처리를 실시하여 상기 비정질 실리콘 막을 결정성 실리콘 막으로 전환시키는 단계; 할로겐을 함유하는 분위기에서 제2열처리를 실시함으로써 상기 제2열처리로 인하여 상기 결정성 실리콘 막을 모노도메인 영역으로 상태 전환하면서 동시에 상기 결정성 실리콘 막 상에 할로겐을 포함하는 열산화막을 형성하는 단계; 및 상기 열 산화막을 제거하는 단계를 포함하는 제조 방법에 의해 형성된 반도체박막.

청구항 21. 반도체 박막으로 형성되는 활성층을 가지는 반도체 장치에 있어서, 상기 장치는 스퍼터링 기술로 표면에 절연막을 가지는 기판에 실리콘 산화막을 형성하는 단계; 상기 실리콘 산화막을 패터닝하여 그 위에 표면 형상의 소망하는 프로필 패턴을 제공하는 단계; 저압 화학 증착으로 비정질 실리콘 막을 상기 실리콘 산화막에 형성하는 단계; 상기 실리콘 산화막 및 상기 비정질 실리콘 막중 적어도 하나에 결정화를 용이하게 하기 위한 금속 원소를 보지시키는 단계; 열처리를 실시하여 상기 비정질 실리콘 막을 결정성 실리콘 막으로 전환시키는 단계; 상기 결정성 실리콘 막을 패터닝하여 활성층을 제공하는 단계; 중기 성장 기술로써 상기 활성층을 덮고 주요 성분으로서 실리콘을 함유하는 유전막을 형성하는 단계; 할로겐을 함유하는 분위기에서 열처리를 실시함으로써 상기 활성층 및 상기 유전막 사이의 계면에 열산화막을 형성하면서 상기 결정화를 용이하게 하는 금속 원소를 제거하는 단계; 상기 활성층으로부터 제거함으로써 상기 활성층을 모노도메인 영역으로 전환하는 단계; 및 질화를 가스 분위기에서 열처리를 실시하여 상기 유전막을 물론 상기 열 산화막을 경화시키는 단계를 포함하는 방법을 이용하여 제조되는 것을 특징으로 하는 반도체 장치.

청구항 22. 표면 상에 절연막을 가지는 기판; 상기 절연막 상에 반도체 박막으로 구성된 활성층을 포함하며, 상기 박막은 내부에 기판 표면에 거의 평행한 칼럼형 또는 침상형 결정을 복수개 함유하지만 결정 경계를 거의 가지지 않는 모노도메인 영역을 가지며, 상기 절연 막은 상기 활성층 아래에 있고 돌출부 또는 침하부 패턴을 가지며, 상기 활성층은 내부에 수소 그리고, 염소, 황소 및 불소로 구성되는 군으로부터 선택된 할로겐을 5 원자% 이하의 소정 농도로 포함하는 것을 특징으로 하는 반도체 장치.

청구항 23. 제20항에 있어서, 상기 할로겐은 상기 반도체 박막의 표면 근처에서 농도가 높은 것을 특징으로 하는 반도체 장치.

청구항 24. 제17 내지 22항 중 어느 한 항에 있어서, 상기 활성층은 두께가 15 내지 45 나노미터인 것을 특징으로 하는 반도체 장치.

청구항 25. 실리콘 기판; 상기 기판 상에 있는 집적 회로; 상기 회로를 덮는 절연막; 상기 절연막 상에 있는 반도체 박막의 활성층을 포함하며, 상기 반도체 박막은 상기 기판에 거의 평행한 복수개의 칼럼형 또는 침상형을 포함하는 모노도메인 영역을 가지며, 상기 절연막은 상기 활성층 아래에 있으며 돌출부 또는 침하부의 패턴을 가지는 것을 특징으로 하는 반도체 장치.

청구항 26. 내용없음

청구항 27. 제26항에 있어서, 상기 활성층은 내부에 수소 및 할로겐을 5 원자% 이하의 소정 농도로 포함하고, 상기 할로겐은 염소, 황소 및 불소로 구성되는 군으로부터 선택되는 것을 특징으로 하는 반도체 장치.

청구항 28. 스퍼터링 기술로 기판 상에 실리콘 산화막을 형성하는 단계; 상기 실리콘 산화막을 패터닝하여 돌출부 또는 침하부의 패턴을 제공하는 단계; 저압 화학 증착으로 비정질 실리콘 막을 상기 실리콘 산화막 상에 형성하는 단계; 상기 실리콘 산화막 및 상기 비정질 실리콘 막중 적어도 하나에 결정화를 용이하게 하기 위한 금속 원소를 보지시키는 단계; 제1열처리를 실시하여 상기 비정질 실리콘 막을 결정성 실리콘 막으로 전환시키는 단계; 및 할로겐을 함유하는 분위기에서 제2열처리를 실시함으로써 상기 결정성 실리콘 막을 모노도메인 영역으로 상태 전환하면서 동시에 상기 결정성 실리콘 막 상에 할로겐을 포함하는 열산화막을 형성하는 단계를 포함하는 반도체 장치의 형성 방법.

청구항 29. 스퍼터링 기술로 기판 상에 실리콘 산화막을 형성하는 단계; 상기 실리콘 산화막을 패터닝하여 돌출부 또는 침하부의 패턴을 제공하는 단계; 저압 화학 증착으로 비정질 실리콘 막을 상기 실리콘 산화막 상에 형성하는 단계; 상기 실리콘 산화막 및 상기 비정질 실리콘 막중 적어도 하나에 결정화를 용이하게 하기 위한 금속 원소를 보지시키는 단계; 열처리를 실시하여 상기 비정질 실리콘 막을 결정성 실리콘 막으로 전환시키는 단계; 상기 결정성 실리콘 막을 패터닝하여 활성층을 형성하는 단계; 중기 성장 기술로 상기 활성층을 덮고 주 성분으로서 실리콘을 함유하는 유전막을 형성하는 단계; 할로겐을 함유하는 분위기에서 열처리를 실시함으로써 상기 활성층과 상기 유전막 사이의 계면에 열산화막을 형성시키면서 계면 거칠기를 사용하여 상기 활성층으로부터 금속 원소를 제거하고 이로써 상기 활성층을 모노도메인 영역으로 전환하는 단계; 및 질화를 가스 분위기에서 열처리를 실시하여 상기 유전막을 물론 상기 열산화막을 경화시키는 단계를 포함하는 반도체 장치를 형성하는 방법.

청구항 30. 제28항 또는 제29항에 있어서, 상기 결정화를 용이하게 하기 위해 금속 원소를 보지시키는 단계 중에, 상기 금속 원소는 표면 장력으로 상기 돌출부 또는 침하부의 주변에 그 농도가 증가되는 것을

특징으로 하는 방법.

청구항 31. 제28항 또는 제29항에 있어서, 상기 결정성 실리콘 막은 상기 기판에 평행한 복수개의 칼럼 또는 첨상형 결정을 포함하는 것을 특징으로 하는 방법.

청구항 32. 제28항 또는 제29항에 있어서, 상기 실리콘 산화막을 형성하는 단계는 인공 수정을 타겟으로 사용하면서 스퍼터링으로 실행하는 것을 특징으로 하는 방법.

청구항 33. 제28항 또는 제29항에 있어서, 상기 결정화를 용이하게 하는 금속 원소는 Fe, Co, Ni, Ru, Ru, Pd, Os, Ir, Pt, Cu 및 Au로 구성되는 군으로부터 적어도 하나 선택되는 것을 특징으로 하는 방법.

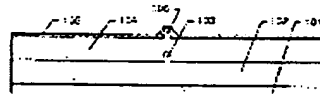
청구항 34. 제28항 또는 제29항에 있어서, 할로겐을 포함하는 분위기는 HCl, HF, HBr, Cl₂, NF₃, F₂ 및 Br₂로 구성되는 군으로부터 선택되는 가스가 하나 또는 복수개 첨가된 산소 가스인 것을 특징으로 하는 방법.

청구항 35. 제28항에 있어서, 상기 제1열처리는 500 내지 700°C에서 시행하고 상기 제2열처리는 700 내지 1100°C에서 시행하는 것을 특징으로 하는 방법.

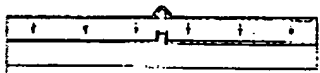
× 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

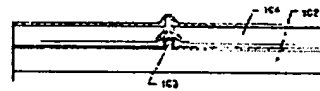
도면 1a



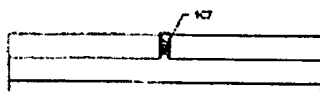
도면 1b



도면 1c



도면 1d



도면 1e



도면 1f

